



KOREAN PATENT ABSTRACTS(KR)

22141 U.S. PTO
10/776016



Document Code:A

(11) Publication No.1020010086315 (43) Publication.Date. 20010910

(21) Application No.1020010001701 (22) Application Date. 20010112

(51) IPC Code:
H01L 21/336

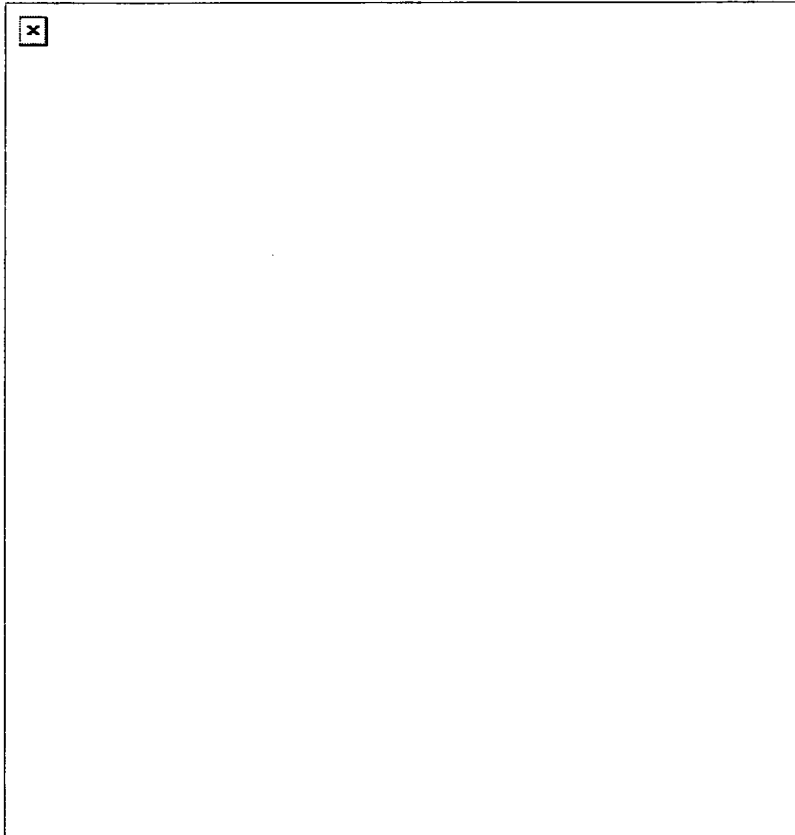
(71) Applicant:
INTERNATIONAL BUSINESS MACHINES CORPORATION.

(72) Inventor:
BOYD DIANE CATHERINE
HANAFI HUSSEIN IBRAHIM
NATZLE WESLEY CHARLES

(30) Priority:
2000 488806 20000121 US

(54) Title of Invention
METHOD OF FORMING MOS DEVICE

Representative drawing



(57) Abstract:

PURPOSE: To provide a technique for manufacturing a MOSFET device of 0.05 μm or smaller in size having a super halo doping profile, which provides an excellent short channel characteristic.

CONSTITUTION: This technique utilizes a damascene gate process to obtain a MOSFET structure wherein the thickness of an oxide on source/drain regions is not related to the thickness of a gate oxide and a disposable spacer technique to form a super halo doping profile.

© KIPO & JPO 2002

if display of image is failed, press (F5)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁷ H01L 21/336	(11) 공개번호 특2001-0086315
	(43) 공개일자 2001년09월 10일
(21) 출원번호 10-2001-0001701	
(22) 출원일자 2001년01월 12일	
(30) 우선권주장 09/488,806 2000년01월21일 미국 (US)	
(71) 출원인 인터내셔널 비지네스 머신즈 코포레이션	
	미국 10504 뉴욕주 아몬크
(72) 발명자 보이드다이언캐서린	
	미국뉴욕12540, 러그레인빌레, 마틴로드 162
	하나피후세인이브러함
	미국뉴저지07920, 바스킹리지, 갠로핑힐로드80
	나출웨슬리할스
	미국뉴욕12561, 뉴팔츠, 카나안로드 140
(74) 대리인 신영우, 이용미, 최승민, 조인제	

심사청구 : 있음

(54) 0.05마이크로미터 모스 디바이스용 처치가능-스페이서대머신-게이트 공정

요약

본원 발명에는 우수한 단-채널 특성을 제공하는 슈퍼-헤일로 도핑 프로파일을 갖는 서브-0.05 μ m MOSFET 디바이스를 제조하는 기술이 제공된다. 이 기술은 게이트-산화물 두께와 관계없는 소스/드레인 영역 위에 산화물 두께를 갖는 MOSFET 구조물을 얻기 위한 대머신-게이트(damascene-gate) 공정, 및 슈퍼-헤일로 도핑 프로파일을 형성하기 위한 처치가능-스페이서 기술을 이용한다.

대표도

도4m

색인어

게이트 스택, 분리 트렌치, 산화물 라이너, 슈퍼-헤일로 임플란트, 게이트 홀

명세서

도면의 간단한 설명

도 1a는 종래의 슈퍼-헤일로 프로파일의 도핑 카운터(countor)를 도시한 단면도이다.

도 1b는 $\pm 30\%$ 의 채널 길이 허용도를 갖는 0.05 μ m 디자인의 (25 $^{\circ}$ C에서의) 시율레이트된 I_{on} , I_{off} 특성을 예시한 그래프이다.

도 2는 질화물 스페이서 에칭 전의 종래 MOSFET 구조물을 예시한 단면도이다.

도 3은 질화물 스페이서 에칭 후의 종래 MOSFET를 예시한 단면도이다.

도 4a 내지 4m은 본 발명의 제 1 방법의 다양한 공정 단계들을 예시한 단면도이다.

도 5a 및 5b는 본 발명의 제 1 방법에서 이용되는 공정 단계와 다른 본 발명의 제 2 방법에서 이용되는 공정 단계를 예시한 단면도이다.

※도면의 주요부분에 대한 부호의 설명※

- | | |
|---------------|---------------|
| 10: 기판 | 12: 게이트 스택 |
| 14: 패드 산화물층 | 16: 제 1 질화물층 |
| 18: 분리 트렌치 | 20: 산화물 라이너 |
| 22: 트렌치 유전 물질 | 24: 웰 임플란트 영역 |
| 26: 제 2 질화물층 | 28: 게이트 홀 |

- | | |
|----------------|-----------------|
| 32: 얇은 산화물층 | 34: 폴리실리콘 |
| 36: 질화물 스페이서 | 38: 소스/드레인 영역 |
| 40: 소스/드레인 확장부 | 42: 슈퍼-헤일로 임플란트 |

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 금속 산화물 반도체 전계 효과 트랜지스터(MOSFET) 디바이스를 제조하는 방법에 관한 것으로, 특히 우수한 단-채널(short-channel) 특성을 제공하는 '슈퍼-헤일로(Super-Halo)' 도핑 프로파일을 갖는 MOSFET 디바이스를 제조하는 방법에 관한 것이다. 본 발명의 방법은 메인 스트림 CMOS(Complementary Metal Oxide Semiconductor) 공정과 호환가능하며, 감소된 크기의 고성능 MOSFET, 특히 0.05 μ m 미만의 크기를 갖는 MOSFET를 형성할 수 있다.

MOSFET 디바이스 제조 분야에서는, MOSFET 디바이스를 0.05 μ m 미만으로 줄이기 위하여, 단채널 효과 문제가 슈퍼-헤일로 도핑 프로파일을 이용하여 제어되어야 함이 공지되어 있다. 이러한 내용은 예컨대 1997년 발표된 IEDM 테크니컬 다이제스트 215-218쪽에 Y. Taur 등이 개재한 'CMOS Devices Below 0.1 μ m; How High Will Performance Go?'에 설명되어 있다. 슈퍼-헤일로 도핑은 수직 및 수평 방향 모두에서 매우 비-균일한 프로파일로 구성된다. 이 불균일한 도핑 프로파일은 예컨대 도 1a에 도시되어 있으며, $\pm 30\%$ 채널 길이 허용도를 갖는 0.05 μ m 디자인의 (25 $^{\circ}$ C에서의) 시뮬레이션된 I_{on}/I_{off} 특성은 도 1b에 도시되어 있다. 도 1a에 도시된 바와 같이, 고-도핑 영역의 포켓(pocket)은 게이트 제어식 공핍 영역을 소스와 드레인 전계의 침투로부터 보호하는데 도움을 주는 게이트 및 소스/드레인 영역에 자기 정렬된다. 매우 짧은 채널 길이(<0.035 μ m)로 단축 제어하는 보다 뛰어난 단-채널 V_t 는 상기 이상적인 비-균일 도핑 프로파일로서 구현될 수 있다.

MOSFET에서 슈퍼-헤일로 도핑 프로파일을 얻기 위하여, 구조물 생성을 위해 이용된 열 버지트(budget)는, 헤일로 주입 후에, 즉 1000 $^{\circ}$ C로 1초 동안 최소화되어야 한다. MOSFET 디바이스의 공정시 질화물 처치가능-스페이서(disposable-spacer) 기술을 이용하면 헤일로 임플란트(implant) 후에 이용되는 열 버지트를 최소화할 수 있다. 이러한 종래 기술은 다음과 같이 요약될 수 있다: 폴리-게이트 정의(definition) 및 재-산화 후, 질화물 스페이서(약 100nm)는 폴리실리콘의 측벽상에 형성된다. 이후, 소스, 드레인 및 게이트 임플란트가 수행되고, 뒤이어서 필요한 도핑 활성화 및 드라이브-인(drive-in) 어닐(1000 $^{\circ}$ C로 5초 동안의 어닐)이 수행된다. 이어서, 질화물 스페이서가 제거되고(그래서, 그 이름이 처치가능-스페이서임), 소스와 드레인 확장(SDE) 및 헤일로 임플란트가 수행된다. 소정의 횡방향(및 종방향) 확산을 최소화하는 동안 헤일로 및 SDE 임플란트를 활성화하기 위하여, 매우 짧은 채널 어닐 사이클(1000 $^{\circ}$ C로 1초 동안의 사이클)이 행해진다. 이 매우 짧은 채널 어닐 사이클은 헤일로 도핑의 임플란트에 따라 급조된 프로파일이 이상의 명세서에서 설명된 슈퍼-헤일로 도핑 프로파일을 갖도록 유지한다.

발명이 이루고자하는 기술적 과제

상술한 종래 기술이 갖는 주요 문제점은, 질화물 스페이서가 매우 얇은 게이트 산화물(≤ 2 nm)을 갖는 서브-0.05 μ m MOSFET 디바이스에 적용될 때 제거되는 방식에서 야기된다. 다음의 2가지 방법들이 질화물 스페이서를 제거하기 위해 종래 기술에서 널리 이용된다: (1) 예컨대, 고온 인산을 이용한 습식 에칭; 또는 (2) 예컨대, 화학적 다운-스트림 에칭(CDE) 기술을 이용한 드라이 에칭.

상기 에칭 공정들 모두는 질화물과 도핑된 산화물 또는 도핑된 실리콘 사이에 양호한 에칭 선택률을 보여주지 못한다. 100:1 또는 이보다 큰 (질화물 대 도핑된 산화물 또는 도핑된 실리콘) 에칭 선택률은 소스와 드레인 영역상에 형성된 2nm 산화물의 완전한 제거없이 100nm 질화물 스페이서를 제거하기 위해 필요하다. 상기 기술에서 주어진 에칭 선택률은 10:1 정도이다.

이러한 문제점은 도 2 및 3에서 명확하게 증명된다. 특히, 도 2는 스페이서 에칭 전의 종래 MOSFET 구조물의 스케치를 도시한다. 소스 및 드레인 영역상의 산화물은 게이트 산화물(≤ 2 nm)과 동일한 두께로 이루어져 있다. 이 산화물은 또한 소스/드레인 임플란트 단계중에 도핑된다. 처치가능-질화물 스페이서를 제거한 후, 소스 및 드레인 영역상의 산화물이 에칭되며, 소스/드레인 영역은 도 3에 도시된 MOSFET 구조물(스케치)에서 나타나는 침투를 받게된다.

상기 문제점에 대한 한가지 명확한 해결책은 게이트 산화물 두께와 상관없이 소스 및 드레인 영역상의 산화물 두께를 증가시키는 것이다(예컨대, 100nm 질화물 스페이서를 제거하기 위해서는 10nm 이상의 산화물이 소스 및 드레인 영역상에 필요함). 이것은 질화물 스페이서 형성 후에 열 산화 단계를 이용하여 수행되어 소스/드레인 영역상의 산화물을 필요한 두께까지 조성하게 된다. 불행하게도, 이러한 기술은 습식 또는 CDE 에칭을 위해 그 에칭률을 증가시켜서 소스/드레인 영역으로부터 열적으로 성장된 산화물까지의 도펀트 확산을 증가시키게 된다.

종래의 MOSFET 제조 방법이 갖는 단점에 비취보면, 우수한 디바이스 단채널 특성 및 향상된 디바이스 성능을 제공하는 슈퍼-헤일로 도핑 프로파일을 갖는 새롭고 개선된 MOSFET 디바이스 제조 방법 제공의 지속적인 필요성이 있다.

발명의 구성 및 작용

본 발명의 목적은, 슈퍼-헤일로 도핑 프로파일을 갖는 서브-0.05 μm MOSFET 디바이스 제조 방법을 제공하는데 있다.

본 발명의 다른 목적은, 우수한 디바이스의 단채널 특성 및 향상된 디바이스 성능을 갖는 소형화된 MOSFET 디바이스(즉, 서브-0.05 μm 의 디바이스) 제조 방법을 제공하는데 있다.

본 발명의 또 다른 목적은, 서브-0.05 μm MOSFET 디바이스에 있어서 이 디바이스를 제조시 이용되는 공정 기술이 메인 스트림 CMOS 공정 기술과 완전하게 호환될 수 있는 서브-0.05 μm MOSFET 디바이스 제조 방법을 제공하는데 있다.

본 발명의 또 다른 목적은, 소스/드레인 영역 위의 산화물이 충분히 제거되지 않으며, 공정 단계가 소스/드레인 영역으로부터 이 영역 위의 산화물 영역으로의 도펀트 확산의 큰 증가를 일으키지 않는 서브-0.05 μm MOSFET 디바이스 제조 방법을 제공하는데 있다. 소스/드레인 영역으로부터 이 소스/드레인 영역 위의 산화물 영역으로의 도펀트 확산의 증가를 방지함으로써, 산화물 영역의 에칭률이 증가되지 않고, 이에 따라 본 발명의 애플리케이션으로 도 3에 도시된 바와 같은 구조물이 형성되지 않는다.

상기한 목적과 다른 목적들 및 장점들은, 대머신-게이트(damascene-gate) 기술이 소스/드레인 영역상의 산화물의 두께가 게이트-산화물의 두께와 상관없는 MOSFET 구조물을 제조시 이용되며, 처치가능-스페이서 기술이 슈퍼-헤일로 도핑 프로파일의 형성을 위해 이용되는 공정 계통을 이용하여 본 발명에서 구현될 수 있다.

상기 목적들을 구현하는 본 발명의 한 방법은,

(a) 기판의 표면상에 형성된 게이트 스택(stack) —상기 게이트 스택은 적어도 상기 기판의 상기 표면상에 형성된 패드 산화물층과 상기 패드 산화물층상에 형성된 제 1 질화물층을 포함함—을 갖는 구조물을 제공하는 단계와,

(b) 상기 구조물에 적어도 하나의 분리 트렌치 영역 —상기 적어도 하나의 분리 트렌치 영역은 상기 게이트 스택 및 상기 기판의 일부에 형성됨—을 형성하는 단계와,

(c) 상기 적어도 하나의 분리 트렌치 영역에 산화물 라이너(liner)를 형성하는 단계와,

(d) 상기 적어도 하나의 분리 트렌치 영역에 트렌치 유전 물질을 충전하는 단계와,

(e) 상기 기판에 웰 임플란트(well implant) 영역들을 형성하는 단계와,

(f) 상기 게이트 스택의 상기 제 1 질화물층상에 제 2 질화물층을 형성하는 단계로서, 상기 제 1 질화물층과 상기 제 2 질화물층의 총두께는 후속하여 이들 내부에 형성될 게이트 영역의 두께와 실질적으로 동일한, 상기 형성 단계와,

(g) 상기 제 1 및 제 2 질화물층들에 게이트 홀을 형성하되 상기 패드 산화물층상에서 정지시키는 단계와,

(h) 상기 기판의 일부를 노출시켜서 상기 게이트 홀에서의 상기 패드 산화물층을 제거하는 단계와,

(i) 상기 기판의 상기 노출된 부분상의 상기 게이트 홀에 얇은 산화물층 —상기 얇은 산화물층은 3nm 또는 이보다 얇은 두께를 갖음—을 형성하는 단계와,

(j) 상기 게이트 홀에 폴리실리콘을 충전하는 단계와,

(k) 상기 폴리실리콘의 측벽들을 노출시킬 수 있도록 상기 제 1 및 제 2 질화물층들을 제거하는 단계와,

(l) 상기 폴리실리콘의 노출된 측벽들을 그 상부 표면과 함께 산화시키는 단계와,

(m) 상기 폴리실리콘의 상기 산화된 측벽들상에 질화물 스페이서들을 형성하는 단계와,

(n) 상기 기판에 소스 및 드레인 영역들 —상기 소스 및 드레인 영역들은 5초 또는 그 이상의 시주기 동안 1000 $^{\circ}\text{C}$ 또는 그 이상의 어닐링 온도를 이용하여 활성화됨—을 형성하는 단계와,

(o) 상기 질화물 스페이서들을 제거하는 단계, 및

(p) 상기 기판에 소스/드레인 확장부들 및 헤일로 임플란트 영역들 —상기 헤일로 임플란트 영역들은 1초 또는 그 이하의 시주기 동안 1000 $^{\circ}\text{C}$ 또는 그 이하의 온도에서 어닐링하여 활성화됨—을 형성하는 단계를 포함한다.

본 발명의 제 1 방법의 임의의 실시예에서, 소스/드레인 확장부들은 상술된 단계 (l)과 (m) 사이에서 형성된다. 상기 실시예에서는, 헤일로 임플란트만 단계 (p)에서 형성된다.

상기 목적들을 구현하는 본 발명의 제 2 방법은,

(a) 기판의 표면상에 형성된 게이트 스택 —상기 게이트 스택은 적어도 상기 기판의 상기 표면상에 형성된 패드 산화물층과 상기 패드 산화물층상에 형성된 제 1 질화물층을 포함함—을 갖는 구조물을 제공하는 단계와,

(b) 상기 구조물에 적어도 하나의 분리 트렌치 영역 —상기 적어도 하나의 분리 트렌치 영역은 상기 게이트 스택 및 상기 기판의 일부에 형성됨—을 형성하는 단계와,

(c) 상기 적어도 하나의 분리 트렌치 영역에 산화물 라이너를 형성하는 단계와,

- (d) 상기 적어도 하나의 분리 트렌치 영역에 트렌치 유전 물질을 충전하는 단계와,
- (e) 상기 기판에 웰 임플란트 영역들을 형성하는 단계와,
- (f) 상기 트렌치 유전 물질을 평탄화하는 단계와,
- (g) 상기 제 1 질화물층을 제거하되, 상기 패드 산화물층상에서 정지시키는 단계와,
- (h) 상기 패드 산화물층상에 제 2 질화물층 —상기 제 2 질화물층은 후속하여 그 내부에 형성될 게이트 영역의 두께와 실질적으로 동일한 두께를 갖음— 을 형성하는 단계와,
- (i) 상기 제 2 질화물층에 게이트 홀을 형성하되, 상기 패드 산화물층상에서 정지시키는 단계와,
- (j) 상기 기판의 일부를 노출시켜서 상기 게이트 홀에서의 상기 패드 산화물층을 제거하는 단계와,
- (k) 상기 기판의 상기 노출된 부분상의 상기 게이트 홀에 얇은 산화물층 —상기 얇은 산화물층은 3nm 또는 이보다 얇은 두께를 갖음— 을 형성하는 단계와,
- (l) 상기 게이트 홀에 폴리실리콘을 충전하는 단계와,
- (m) 상기 폴리실리콘의 측벽들을 노출시킬 수 있도록 상기 제 2 질화물층을 제거하는 단계와,
- (n) 상기 폴리실리콘의 노출된 측벽들을 그 상부 표면과 함께 산화시키는 단계와,
- (o) 상기 폴리실리콘의 상기 산화된 측벽들상에 질화물 스페이서들을 형성하는 단계와,
- (p) 상기 기판에 소스 및 드레인 영역들 —상기 소스 및 드레인 영역들은 5초 또는 그 이상의 시주기 동안 1000°C 또는 그 이상의 어닐링 온도를 이용하여 활성화됨— 을 형성하는 단계와,
- (q) 상기 질화물 스페이서들을 제거하는 단계, 및
- (r) 상기 기판에 소스/드레인 확장부들 및 헤일로 임플란트 영역들 —상기 헤일로 임플란트 영역들은 1초 또는 그 이하의 시주기 동안 1000°C 또는 그 이하의 온도에서 어닐링하여 활성화됨— 을 형성하는 단계를 포함한다.

본 발명의 제 2 방법의 임의의 실시예에서, 소스/드레인 확장부들은 상술된 단계 (n)과 (o) 사이에서 형성된다. 상기 실시예에서, 단계 (r)은 헤일로 임플란트 영역의 형성 단계만을 포함한다.

본 발명은 슈퍼-헤일로 도핑 프로파일, 우수한 디바이스의 단채널 특성 및 향상된 디바이스 성능을 갖는 서브-0.05 μ m의 MOSFET를 제조하는 방법을 제공하며, 이하에 본 발명의 애플리케이션을 수반한 도면을 참조하여 더 상세히 설명된다. 본 발명의 애플리케이션을 수반한 도면에서 같거나 및/또는 대응하는 소자들은 같은 참조번호가 붙여져 있음을 유념해야 한다.

본 발명의 제 1 방법에서 이용된 기본 공정 단계들을 예시한 도 4a 내지 4m에 대한 참조를 한다. 특히, 도 4a 내지 4m은 본 발명의 제 1 방법을 이용하여 형성될 수 있는 하나의 가능한 MOSFET 디바이스의 단면도이다.

도 4a는 본 발명의 단계 (a)에서 형성된 초기 구조물을 도시한다. 이 초기 구조물은 기판(10) 및 게이트 스택(12)을 포함한다. 게이트 스택은 기판(10)의 표면에 형성된 SiO₂ 같은 패드 산화물층(14) 및 이 패드 산화물층상에 형성된 Si₃N₄ 같은 질화물층(16)을 포함한다. 본 발명의 도면들이 2개의 물질층들을 포함한 게이트 스택을 도시하고 있지만, 이 게이트 스택은 또한 추가적인 물질층들을 포함할 수도 있다. 본 발명의 도면에서의 실시예에 있어서, 질화물층(16)은 분리 트렌치를 정의시에 이용되고, 따라서 상기 층은 후속 에칭 단계에 의해 제거되어 구조물의 게이트 영역을 노출시키고, 패드 산화물층은 질화물층의 제거 후에 기판의 일부상에 남겨진다.

패드 산화물층(14)은 기존의 열 성장 공정을 이용하여 기판(10)의 표면에 형성되거나, 또는 대안으로 패드 산화물층은 화학적 기상 증착(CVD), 플라즈마 - 조력 CVD, 스퍼터링, 증발 및 이외의 유사한 증착 공정 같은 기존의 증착 공정을 통해 형성될 수 있지만, 이들 공정에 한정되지는 않는다. 패드 산화물층의 두께는 변화하지만, 후속 공정 단계에서 형성될 대응하는 게이트 산화물 보다 두꺼워야 한다. 일반적으로, 패드 산화물층은 약 8 내지 약 20nm의 두께를 갖는다.

질화물층(16)이 관계되는한, 이 층은 이상의 명세서에서 설명된 패드 산화물층의 형성과 같은 공정을 포함한 공지된 기존의 증착 공정들을 이용하여 패드 산화물층(14)의 표면에 형성된다. 질화물층의 두께는 변화할 수 있지만, 패드 산화물 보다 두꺼워야 하며, 여기서 상기 질화물층은 상기 패드 산화물 위에 형성된다. 일반적으로, 본 발명에서, 게이트 스택(12)의 질화물층(16)은 약 50 내지 약 200nm의 두께를 갖는다.

본 발명에서 이용되는 기판은 실리콘 같은 반도체 물질이 내부에 존재하는 소정의 기존 반도체 기판일 수 있다. 본 발명에서 이용될 수 있는 일부 기판의 예로서 Si, Ge, SiGe, GaP, InAs, InP 및 모든 다른 III/V 화합물 반도체를 포함할 수 있지만, 이들에 한정되지는 않는다. 기판은 또한 Si/SiGe 같은 성층 반도체로 이루어질 수 있다. 기판은 제조될 소망하는 디바이스에 따라서 n-타입 또는 p-타입으로 이루어질 수 있다. 기판은 공지된 공정 기술을 이용하여 기판 위에 또는 기판 내에 형성된 다양한 능동 및/또는 분리 영역을 포함할 수 있다. 본 발명에서 이용되는 바람직한 기판으로는 Si 웨이퍼나 칩이 있다.

기판(10)상에 게이트 스택(12)을 형성한 후, 하나의 분리 트렌치(또는, 다수의 분리 트렌치들)(18)가 도 4a에 도시된 구조물에 형성된다. 분리 트렌치는 질화물층(16), 패드 산화물층(14) 및 기판(10)의 일부를 관통하여 형성된다. 분리 트렌치(18)는 기존의 리소그라피 및 에칭(반응성-이온 에칭(RIE), 플라즈마 에칭, 이온 빔 에칭 및 이외의 유사한 드라이 에칭 공정)을 이용하여 형성되며, 이것은 도 4b에 도시되어 있다. 본 발명의 상기 단계에서 형성된 분리 트렌치 영역은 최종 구조물의 얇은 트렌치 분리 영역으로 된다. 도면에 도시되지는 않았지만, 리소그라피 단계는 기존의 포토레지스트 및 선택적으로 반-반

사적(anti-reflective) 코팅을 이용하는데, 이들은 모두 분리 트렌치가 구조물에 형성된 후에 제거된다. 이후, 예컨대 SiO₂ 같은 산화물 라이너(20)가 각 트렌치의 측벽 및 기저부를 라인화하도록 분리 트렌치 영역(18)에 형성된다. 산화물 라이너를 포함한 구조물은 도 4c에 도시되어 있으며, 도 4c는 또한 분리 트렌치를 충전하고 평탄화한 후에 형성된 구조물을 포함한다. 도 4c에 도시된 바와 같이, 산화물 라이너는 패드 산화물의 상부 표면을 따라 연속된 층을 형성하고, 따라서, 분리 트렌치의 전체 기저부는 기판(10)으로부터 분리된다.

산화물 라이너(20)는 이상의 명세서에서 설명된 패드 산화물층(14)의 형성시와 같은 공정을 포함한 소정의 기존 증착 또는 열 성장 공정을 이용하여 형성된다. 산화물 라이너(20)의 두께는 이것을 형성시 이용되는 공정 기술에 따라 변화할 수 있지만, 산화물 라이너의 일반적인 두께 범위는 약 5nm 내지 약 20nm이다.

상술된 바와 같이, 도 4c는 또한 분리 트렌치(18)에 트렌치 유전 물질(22)을 충전하고 평탄화한 후 형성된 구조물을 예시한다. 특히, 분리 트렌치의 기저부가 산화물 라이너(20)로 라인화된 후, 트렌치 유전 물질(22)은 질화물층(16)의 표면 위와 분리 트렌치 영역(18) 내에 형성된다. 본 발명에서 이용되는 충전 공정은 CVD 및 플라즈마-조력 CVD를 포함한 소정의 기존 증착 공정을 포함하지만, 이들 공정에 한정되지는 않는다. 본 발명의 상기 단계에서 이용될 수 있는 적절한 트렌치 유전 물질은 소정의 기존 유전 물질을 포함한다. 본 발명에서 이용될 수 있는 일부 적절한 트렌치 유전 물질의 예로서는, 테트라에틸 오소실리케이트(TEOS), SiO₂, 유동성 산화물 및 이외의 유사한 유전 물질들을 포함하지만, 이들 물질에 한정되지는 않는다. TEOS가 트렌치 유전 물질로서 이용되면, 선택적인 조밀화 단계가 평탄화 전에 이용될 수 있다.

도 4c에 도시된 구조물을 형성시 이용되는 평탄화 공정은 화학-기계적 폴리싱(CMP) 및 그라인딩을 포함한 당업자들에게 공지된 소정의 기존 평탄화 기술을 포함하지만, 이들 기술에 한정되지는 않는다.

다음에, 도 4d에 도시된 바와 같이, 깊은 웰 임플란트 영역(24)이 깊은 웰 임플란트를 형성할 수 있는 당업자들에게 공지된 기존의 임플란테이션 공정을 이용하여 기판에 형성된다. 이 임플란테이션 공정으로 기판 내에 P-웰, N-웰 또는 P- 및 N-웰 모두를 형성할 수 있다. 깊은 웰 임플란트는 이 임플란트를 활성화시킬 수 있는 기술적으로 공지된 기존의 어닐링 공정을 이용하여 활성화된다.

깊은 웰 임플란트를 형성한 후, 제 2 질화물층(26)이 게이트 스택의 질화물층을 형성시 이용되는 것과 같거나 또는 다른 기존의 증착 공정을 이용하여 게이트 스택(12)의 질화물층(16)상에 형성되며, 이것은 도 4e에 도시되어 있다. 게이트 스택(12)의 이전의 질화물층의 두께와 결합된 상기 질화물층의 두께는 구조물에 계속해서 형성될 대응하는 게이트 영역의 두께와 실질적으로 동일하다. 즉, 질화물층(16, 26)의 결합된 두께는 약 5nm 내지 약 200nm이고, 10nm 내지 150nm의 결합된 두께를 갖으면 더 바람직하다. 질화물층(16, 26)이 게이트 영역을 형성시 이용되며, 따라서 이 질화물층들의 총두께가 게이트 영역의 소망하는 총높이와 동일함을 유념해야 한다.

본 발명의 제 1 방법 다음 단계는 질화물층(16, 26)에 게이트 홀(28)을 형성하는 단계를 포함하며, 이것은 도 4f에 도시되어 있다. 특히, 이 게이트 홀은 도 4f에 도시된 구조물을 제공하도록 하는 기존의 리소그래피 및 에칭(반응성-이온 에칭(RIE), 플라즈마-에칭, 이온 빔 에칭 및 이외의 유사한 드라이 에칭 공정)을 이용하여 도 4e의 구조물에 형성된다. 도 4f에 도시된 바와 같이, 게이트 홀은 질화물층을 관통하여 연장되지만 패드 산화물층상에 정지됨으로써, 게이트 홀(28)의 기저부에 패드 산화물층(14)의 일부를 노출시킬 수 있게 된다. 기존의 포토레지스트는 게이트 홀을 정의시에 이용되며, 이를 제조한 후에는 제거된다. 도면들이 구조물 내에 하나의 게이트 홀만이 형성되는 것으로 도시되었지만, 본 명세서에서는 또한 다수의 게이트 홀들이 형성될 수 있는 것으로 기대된다.

게이트 홀을 형성한 후, 선택적 임계치 조정 임플란트 단계는 기존의 이온 주입 및 활성화 어닐을 이용하여 수행될 수 있으며, 이 공정을 모두는 당업자들에게 공지되어 있다. 이러한 본 발명의 선택적 단계는 본 발명의 도 4g에 도시되어 있으며, 여기서 영역(30)은 구조물 내에 형성된 임계치 조정 임플란트 영역을 나타낸다.

게이트 홀 형성 및 선택적 임계치 조정 임플란트 형성 후에, 게이트 홀(28)의 기저부에서의 패드 산화물층(14)은 산화물 제어에 있어서 매우 선택적인 에칭 공정을 통해 제거되며, 이것은 도 4h에 도시되어 있다. 본 발명의 이러한 단계로 게이트 홀에서의 기판(10)의 일부를 노출시킬 수 있다. 게이트 홀의 기저부로부터 패드 산화물층을 제거시에 본 발명에서 이용될 수 있는 한가지 매우 바람직한 에칭 공정으로는 기상(vapor phase) 화학적 산화물 제거 공정이 있는데, 이 공정에서는 HF 및 NH₃의 기체가 에칭제로서 이용되며, 저압(6millitorr 또는 그 미만)이 이용된다.

도 4h는 또한 패드 산화물층이 이미 제거된 게이트 홀의 기저부에 얇은 산화물층(32; 3nm 또는 이보다 얇은 두께)을 형성하는 단계를 보여준다. 즉, 얇은 산화물이 패드 산화물층(14)의 제거중에 노출된 기판(10)의 표면에 형성된다. 산화물층(32)이 구조물의 게이트 산화물을 나타냄을 유념한다. 이 산화물층은 당업자들에게 공지된 기존의 게이트 산화 공정을 이용하여 형성된다. 예를 들어, 산화물층(32)은 약 5 내지 약 10분의 시주기 동안, 약 700°C 내지 약 800°C의 온도에서, 예컨대 공기 또는 산소 같은 산화 분위기 조건에 구조물이 놓이도록 함으로써 형성될 수 있다. 가열은 단일 온도 또는 다양한 램프(ramp)에서 수행될 수 있으며, 소크(soak) 사이클이 이용될 수 있다. 상기 산화 조건으로 기준이 주어졌지만, 노출된 게이트 홀의 기저부에 얇은 산화물층을 형성시에 충족되는 다른 온도나 시간이 있다면, 본 명세서에서는 다른 온도나 시간이 또한 주어질 수 있는 것으로 기대된다. 또한, 이러한 본 발명의 기대 조건 범주 내에서 기존의 급속 열 산화(ATO) 공정을 이용할 수도 있다.

게이트 홀(28)의 기저부에 게이트 산화물(32)을 형성한 후, 게이트 홀은 CVD 또는 플라즈마-CVD 같은 기존의 증착 공정을 이용해서 폴리실리콘(34)으로 충전되며, 이후 이 구조물은 예컨대 CMP 같은 기존의 공정을 통해 평탄화되어 질화물층(26)상에 정지된다. 이렇게 평탄화된 구조물은 도 4i에 도시되어 있다.

도 4j에 예시된 본 발명의 제 1 방법의 다음 단계에 따르면, 질화물층(26, 16)이 습식 에칭 공정을 이용

하는 기존의 대머신 에치백(etch back) 공정을 통해 제거된다. 이 대머신 에치백 공정으로 게이트 영역, 즉 폴리실리콘(34)의 측벽이 노출된 도 4j에 도시된 구조물이 나타난다. 본 발명의 상기 단계에서 이용되는 습식 에칭 공정은 고온 인산 같은 화학적 에칭제의 첨가시에 수행되나, 이 에칭제에만 한정되지는 않는다. 드라이 에칭뿐만 아니라 다른 화학적 에칭제가 또한 본 발명에서 이용될 수 있다.

질화물층(16, 26)을 제거하고 계속해서 폴리실리콘(34)의 측벽을 노출시킨 다음, 폴리실리콘(34)의 상부 표면뿐만 아니라 폴리실리콘(34)의 노출된 측벽에 산화물 영역(35)을 형성하는 폴리옥시데이션(polyoxidation) 단계가 수행되며, 이것은 도 4j에 도시되어 있다. 폴리실리콘에 형성된 산화물 영역은 처리가능 스페이서를 제거하는 동안 화학적 침투로부터 남아있는 폴리실리콘을 보호하는 작용을 한다. 산화물 영역(35)은 산화물 영역(32)을 형성시 이용되는 것과 같거나 또는 다른 산화 기술을 이용하여 형성된다.

다음에, 질화물 스페이서(36)는 폴리실리콘(34)의 산화된 측벽상에 형성되며, 이것은 도 4k에 도시되어 있다. 본 발명에서 이용되는 질화물 스페이서는 Si_3N_4 같은 기존의 질화물-황유 물질로 구성되지만, 상기 Si_3N_4 에만 한정되지는 않는다. 스페이서는 공지된 기존의 증착 공정을 이용하여 형성되며, 이후 RIE에 의해 에칭된다. 본 발명에서 이용되는 질화물 스페이서들은 처리가능 스페이서들인데, 그 이유는 이들이 후속 공정 단계에서 제거되기 때문이다. 질화물 스페이서(36)의 두께는 이것을 제조시에 이용되는 증착 공정에 따라 변화할 수 있지만, 본 발명에서는 일반적으로 질화물 스페이서의 두께가 약 100 내지 약 150nm이다.

폴리실리콘(34)의 산화된 측벽들상에 질화물 스페이서를 형성한 후, 소스/드레인 영역(38)은 기존의 이온 주입을 통해 기판에 형성되고, 이 영역은 어닐링 공정을 이용하여 활성화되는데, 이때 어닐링 온도는 약 5초 또는 그 이상의 시주기 동안 약 1000°C 또는 그 이상의 온도, 또는 바람직하게는 약 1000°C 내지 약 1050°C의 온도이다. 활성화된 소스 및 드레인 영역을 포함한 구조물은 도 4l에 도시되어 있다.

다음에, 도 4m에 도시된 바와 같이, 질화물 스페이서는 구조물로부터 제거되고, 소스/드레인 확장부(40) 및 슈퍼-헤일로 임플란트(42)가 공지된 기존의 공정을 이용하여 형성된다. 예를 들어, 이온 주입 및 어닐링은 구조물에 상기 영역을 형성 및 활성화시 이용될 수 있다. 상기 영역을 활성화시 이용되는 어닐링 온도는 이전의 소스/드레인 활성화 단계에서 이용되는 어닐링 온도 보다 낮다. 특히, 소스/드레인 확장부 및 슈퍼-헤일로 임플란트를 활성화시 이용되는 어닐링 온도는 약 1초 또는 이보다 적은 시주기 동안 약 1000°C 또는 그 미만의 온도, 매우 바람직하게는 약 900°C 내지 약 950°C의 온도이다.

본 발명의 한가지 임의적인 실시예에서, 소스/드레인 확장부는 폴리실리콘의 노출된 측벽을 산화한 후, 즉 폴리리옥시데이션(polyreoxidation) 후에, 그러나 질화물 스페이서를 제거하기 전에 형성된다.

이후, 도 4m에 도시된 구조물은 공지된, 예컨대 1980년 John Wiley and Sons 퍼블리셔에서 R.Colclaser가 개재한 「Miro Electronics processing and Device Design」의 챕터 10, 266-269쪽에 설명된 기존의 CMOS 공정 단계들을 처리받을 수 있다.

본 발명의 제 2 방법에서는, 도 4d까지 진행된 공정 단계가 우선 수행된다. 다음에, 도 4d에 도시된 트렌치 유전체 물질이 담당자들에게는 공지되어 있는 기존의 평탄화 공정을 이용하여 평탄화되고, 이후 제 1 질화물층이 도 5a에 도시된 구조물을 제공하는 고온 인산 에칭 공정을 이용하여 패드 산화물층까지 아래로 제거된다. 다음에, 도 5b에 도시된 바와 같이, 제 2 질화물층(26)이 구조물의 노출된 패드 산화물층상에 형성된다. 제 2 질화물층은 이전에 본 명세서에서 설명된 것과 동일한 공정 기술을 이용하여 형성된다. 본 발명의 상기 실시예에서 제 2 질화물층(26)의 총두께는 실질적으로 게이트 영역의 소망하는 높이와 동일하다. 즉, 새로이 증착된 제 2 질화물층의 두께는 약 5nm 내지 약 200nm이고, 더 바람직하게는 약 10nm 내지 약 150nm의 두께이다.

이후, 도 5b에 도시된 구조물이 도 4f 내지 4m에 도시된 것과 같이 공정된다(단, 제 2 방법이 이용될 때, 도 4f 내지 4m의 질화물층(16, 26)은 새로이 형성된 제 2 질화물층으로만 이루어질 수 있음을 유념한다).

발명의 효과

본 발명이 특히 그 바람직한 실시예들과 관련하여 보여지고 설명되었지만, 형태 및 세부적인 면에서의 이상의 것들과 이외의 변화들이 본 발명의 사상 및 범주를 이탈하지 않는 범위 내에서 이루어질 수 있음을 담당자들은 이해할 수 있을 것이다. 따라서, 본 발명은 설명 및 예시된 엄밀한 형태나 세부적인 내용에 제한되지 않고, 첨부된 청구항들의 범주 내에 속할 수 있도록 의도한 것이다.

(57) 청구의 범위

청구항 1

슈퍼-헤일로(Super-Halo) 도핑 프로파일을 갖는 서브-0.05 μ m MOSFET 디바이스를 제조하는 방법에 있어서,

(a) 기판의 표면상에 형성된 게이트 스택(stack) —상기 게이트 스택은 적어도 상기 기판의 상기 표면상에 형성된 패드 산화물층과 상기 패드 산화물층상에 형성된 제 1 질화물층을 포함함— 을 갖는 구조물을 제공하는 단계와,

(b) 상기 구조물에 적어도 하나의 분리 트렌치 영역 —상기 적어도 하나의 분리 트렌치 영역은 상기 게

- 이트 스택 및 상기 기판의 일부에 형성됨—을 형성하는 단계와,
- (c) 상기 적어도 하나의 분리 트렌치 영역에 산화물 라이너(liner)를 형성하는 단계와,
 - (d) 상기 적어도 하나의 분리 트렌치 영역에 트렌치 유전 물질을 충전하는 단계와,
 - (e) 상기 기판에 웰 임플란트(well implant) 영역들을 형성하는 단계와,
 - (f) 상기 게이트 스택의 상기 제 1 질화물층상에 제 2 질화물층을 형성하는 단계로서, 상기 제 1 질화물층과 상기 제 2 질화물층의 총두께는 후속하여 이들 내부에 형성될 게이트 영역의 두께와 실질적으로 동일한, 상기 형성 단계와,
 - (g) 상기 제 1 및 제 2 질화물층들에 게이트 홀을 형성하되 상기 패드 산화물층상에서 정지시키는 단계와,
 - (h) 상기 기판의 일부를 노출시켜서 상기 게이트 홀에서의 상기 패드 산화물층을 제거하는 단계와,
 - (i) 상기 기판의 상기 노출된 부분상의 상기 게이트 홀에 얇은 산화물층—상기 얇은 산화물층은 3nm 또는 이보다 얇은 두께를 갖음—을 형성하는 단계와,
 - (j) 상기 게이트 홀에 폴리실리콘을 충전하는 단계와,
 - (k) 상기 폴리실리콘의 측벽들을 노출시킬 수 있도록 상기 제 1 및 제 2 질화물층들을 제거하는 단계와,
 - (l) 상기 폴리실리콘의 노출된 측벽들을 그 상부 표면과 함께 산화시키는 단계와,
 - (m) 상기 폴리실리콘의 상기 산화된 측벽들상에 질화물 스페이서들을 형성하는 단계와,
 - (n) 상기 기판에 소스 및 드레인 영역들—상기 소스 및 드레인 영역들은 5초 또는 그 이상의 시주기 동안 1000°C 또는 그 이상의 어닐링 온도를 이용하여 활성화됨—을 형성하는 단계와,
 - (o) 상기 질화물 스페이서들을 제거하는 단계, 및
 - (p) 상기 기판에 소스/드레인 확장부들 및 헤일로 임플란트 영역들—상기 헤일로 임플란트 영역들은 1초 또는 그 이하의 시주기 동안 1000°C 또는 그 이하의 온도에서 어닐링하여 활성화됨—을 형성하는 단계를 포함하는 서브-0.05 μ m MOSFET 디바이스 제조 방법.

청구항 2

제 1 항에 있어서, 상기 기판은 Si, Ge, SiGe, GaAs, InAs, InP 및 성장된 반도체들로 구성된 그룹으로부터 선택된 반도체 물질인 서브-0.05 μ m MOSFET 디바이스 제조 방법.

청구항 3

제 2 항에 있어서, 상기 기판은 Si 웨이퍼 또는 칩인 서브-0.05 μ m MOSFET 디바이스 제조 방법.

청구항 4

제 1 항에 있어서, 상기 패드 산화물층은 열 성장 공정 또는 증착 공정에 의해 형성되는 서브-0.05 μ m MOSFET 디바이스 제조 방법.

청구항 5

제 4 항에 있어서, 상기 증착 공정은 화학적 기상 증착(CVD), 플라즈마-조력 CVD, 스퍼터링 및 증발로 구성된 그룹으로부터 선택되는 서브-0.05 μ m MOSFET 디바이스 제조 방법.

청구항 6

제 1 항에 있어서, 상기 패드 산화물층은 SiO₂로 구성되는 서브-0.05 μ m MOSFET 디바이스 제조 방법.

청구항 7

제 1 항에 있어서, 상기 패드 산화물층은 약 8nm 내지 약 20nm의 두께를 갖는 서브-0.05 μ m MOSFET 디바이스 제조 방법.

청구항 8

제 1 항에 있어서, 상기 게이트 스택의 상기 질화물층은 화학적 기상 증착(CVD), 플라즈마-조력 CVD, 스퍼터링 및 증발로 구성된 그룹으로부터 선택된 증착 공정으로 형성되는 서브-0.05 μ m MOSFET 디바이스 제조 방법.

청구항 9

제 1 항에 있어서, 상기 게이트 스택의 상기 질화물층은 Si₃N₄로 구성되는 서브-0.05 μ m MOSFET 디바이스 제조 방법.

청구항 10

제 1 항에 있어서, 상기 게이트 스택의 상기 질화물층은 약 50nm 내지 약 200nm의 두께를 갖는 서브-0.05 μ m MOSFET 디바이스 제조 방법.

청구항 11

제 1 항에 있어서, 상기 분리 트렌치는 리소그래피 및 에칭에 의해 형성되는 서브-0.05 μm MOSFET 디바이스 제조 방법.

청구항 12

제 1 항에 있어서, 상기 산화물 라이너는 화학적 기상 증착(CVD), 플라즈마-조력 CVD, 스퍼터링 및 증발로 구성된 그룹으로부터 선택된 증착 공정에 의해 형성되는 서브-0.05 μm MOSFET 디바이스 제조 방법.

청구항 13

상기 단계 (d)는 상기 트렌치 유전 물질의 증착 및 평탄화 단계를 포함하는 서브-0.05 μm MOSFET 디바이스 제조 방법.

청구항 14

제 1 항에 있어서, 상기 트렌치 유전 물질은 테트라에틸오소실리케이트(tetraethylorthosilicate), SiO_2 및 유동성 산화물들로 구성된 그룹으로부터 선택된 유전체인 서브-0.05 μm MOSFET 디바이스 제조 방법.

청구항 15

제 1 항에 있어서, 상기 단계 (e)는 이온 주입 및 어닐링 단계를 포함하는 서브-0.05 μm MOSFET 디바이스 제조 방법.

청구항 16

제 1 항에 있어서, 상기 제 2 질화물층은 화학적 기상 증착(CVD), 플라즈마-조력 CVD, 스퍼터링 및 증발로 구성된 그룹으로부터 선택된 증착 공정으로 형성된 서브-0.05 μm MOSFET 디바이스 제조 방법.

청구항 17

제 1 항에 있어서, 상기 게이트 홀은 리소그래피 및 에칭에 의해 상기 단계 (g)에서 형성되는 서브-0.05 μm MOSFET 디바이스 제조 방법.

청구항 18

제 1 항에 있어서, 상기 패드 산화물층은 기상(vapor phase) 화학적 산화물 제거 공정에 의해 상기 게이트 홀로부터 제거되며, 이때 HF 및 NH_3 의 기체가 이용되는 서브-0.05 μm MOSFET 디바이스 제조 방법.

청구항 19

제 1 항에 있어서, 상기 얇은 산화물은 게이트 산화 공정에 의해 형성되는 서브-0.05 μm MOSFET 디바이스 제조 방법.

청구항 20

상기 단계 (j)는 증착 및 평탄화 단계를 포함하는 서브-0.05 μm MOSFET 디바이스 제조 방법.

청구항 21

제 1 항에 있어서, 상기 질화물층들은 화학적 에칭제 —상기 화학적 에칭제는 산화물 제거시에 매우 선택적임— 가 이용되는 대머신 에치백(damascene etch back) 공정에 의해 제거되는 서브-0.05 μm MOSFET 디바이스 제조 방법.

청구항 22

제 1 항에 있어서, 상기 질화물 스페이서들은 화학적 기상 증착(CVD), 플라즈마-조력 CVD, 스퍼터링 및 증발로 구성된 그룹으로부터 선택된 증착 공정에 의해 형성되는 서브-0.05 μm MOSFET 디바이스 제조 방법.

청구항 23

제 1 항에 있어서, 상기 질화물 스페이서들은 습식 에칭 공정에 의해 제거되는 서브-0.05 μm MOSFET 디바이스 제조 방법.

청구항 24

제 1 항에 있어서, 상기 기판에 조정 임플란트 영역들 —상기 조정 임플란트 영역들은 단계 (g)와 (h) 사이에서 형성됨— 을 형성하는 단계를 더 포함하는 서브-0.05 μm MOSFET 디바이스 제조 방법.

청구항 25

제 1 항에 있어서, 상기 소스/드레인 확장부들은 단계 (l)과 (m) 사이에서 형성되고, 단계 (p)에서는 형성되지 않는 서브-0.05 μm MOSFET 디바이스 제조 방법.

청구항 26

슈퍼-헤일로 도핑 프로파일을 갖는 서브-0.05 μm MOSFET 디바이스를 제조하는 방법에 있어서,

(a) 기판의 표면에 형성된 게이트 스택(stack) —상기 게이트 스택은 적어도 상기 기판의 상기 표면상

에 형성된 패드 산화물층과 상기 패드 산화물층상에 형성된 제 1 질화물층을 포함함—을 갖는 구조물을 제공하는 단계와,

(b) 상기 구조물에 적어도 하나의 분리 트렌치 영역—상기 적어도 하나의 분리 트렌치 영역은 상기 게이트 스택 및 상기 기판의 일부에 형성됨—을 형성하는 단계와,

(c) 상기 적어도 하나의 분리 트렌치 영역에 산화물 라이너(liner)를 형성하는 단계와,

(d) 상기 적어도 하나의 분리 트렌치 영역에 트렌치 유전 물질을 충전하는 단계와,

(e) 상기 기판에 웰 임플란트 영역들을 형성하는 단계와,

(f) 상기 트렌치 유전 물질을 평탄화하는 단계와,

(g) 상기 제 1 질화물층을 제거하되, 상기 패드 산화물층상에서 정지시키는 단계와,

(h) 상기 패드 산화물층상에 제 2 질화물층—상기 제 2 질화물층은 후속하여 그 내부에 형성될 게이트 영역의 두께와 실질적으로 동일한 두께를 갖음—을 형성하는 단계와,

(i) 상기 제 2 질화물층에 게이트 홀을 형성하되, 상기 패드 산화물층상에서 정지시키는 단계와,

(j) 상기 기판의 일부를 노출시켜서 상기 게이트 홀에서의 상기 패드 산화물층을 제거하는 단계와,

(k) 상기 기판의 상기 노출된 부분상의 상기 게이트 홀에 얇은 산화물층—상기 얇은 산화물층은 3nm 또는 이보다 얇은 두께를 갖음—을 형성하는 단계와,

(l) 상기 게이트 홀에 폴리실리콘을 충전하는 단계와,

(m) 상기 폴리실리콘의 측벽들을 노출시킬 수 있도록 상기 제 2 질화물층을 제거하는 단계와,

(n) 상기 폴리실리콘의 노출된 측벽들을 그 상부 표면과 함께 산화시키는 단계와,

(o) 상기 폴리실리콘의 상기 산화된 측벽들상에 질화물 스페이서들을 형성하는 단계와,

(p) 상기 기판에 소스 및 드레인 영역들—상기 소스 및 드레인 영역들은 5초 또는 그 이상의 시주기 동안 1000°C 또는 그 이상의 어닐링 온도를 이용하여 활성화됨—을 형성하는 단계와,

(q) 상기 질화물 스페이서들을 제거하는 단계, 및

(r) 상기 기판에 소스/드레인 확장부들 및 헤일로 임플란트 영역들—상기 헤일로 임플란트 영역들은 1초 또는 그 이하의 시주기 동안 1000°C 또는 그 이하의 온도에서 어닐링하여 활성화됨—을 형성하는 단계

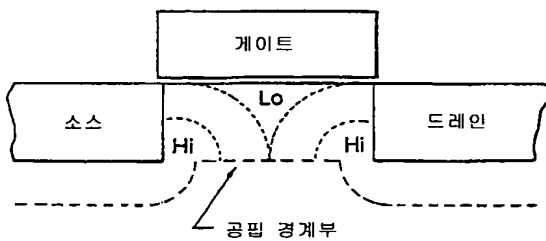
를 포함하는 서브-0.05 μ m MOSFET 디바이스 제조 방법.

청구항 27

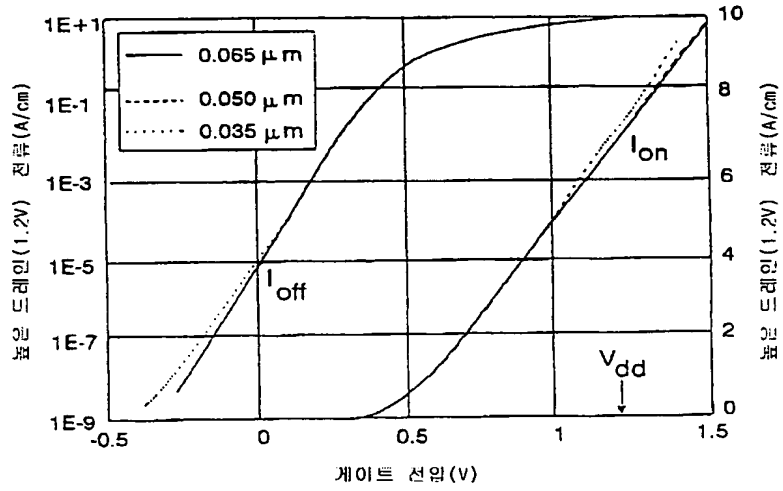
제 26 항에 있어서, 상기 소스/드레인 확장부들은 단계 (n)과 (o) 사이에서 형성되고, 단계 (r)에서는 형성되지 않는 서브-0.05 μ m MOSFET 디바이스 제조 방법.

도면

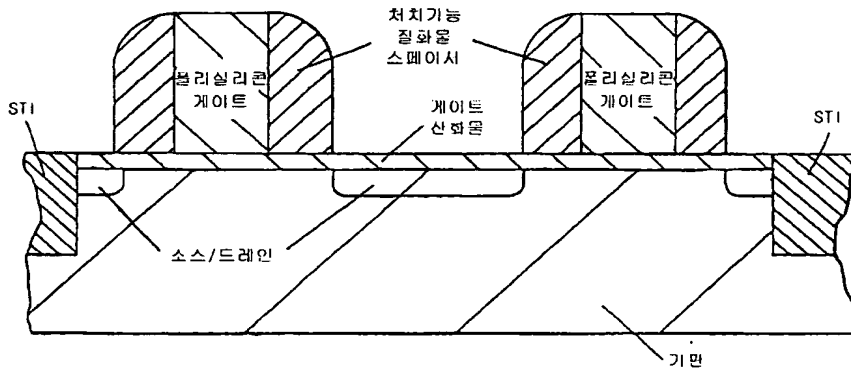
도면 1a



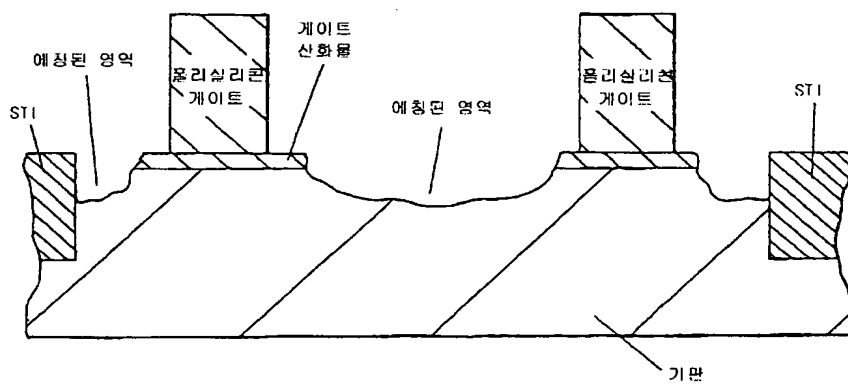
도면 1b



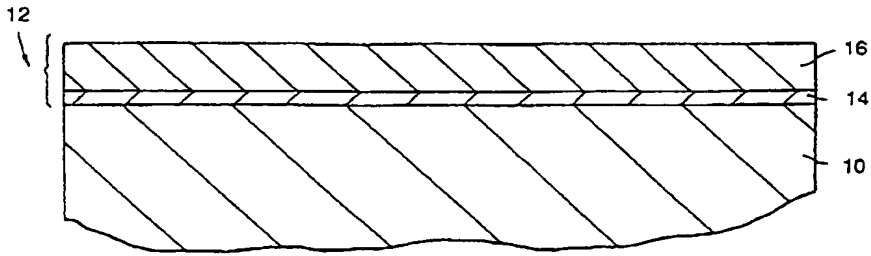
도면 2



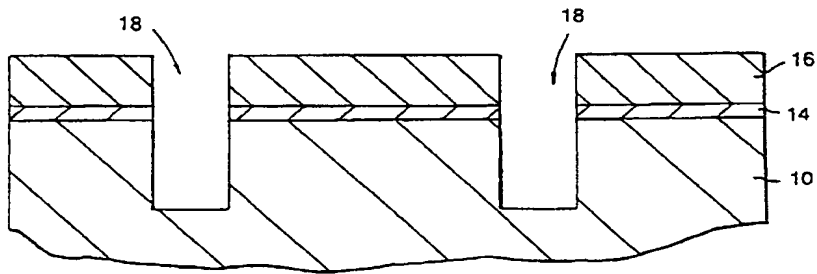
도면 3



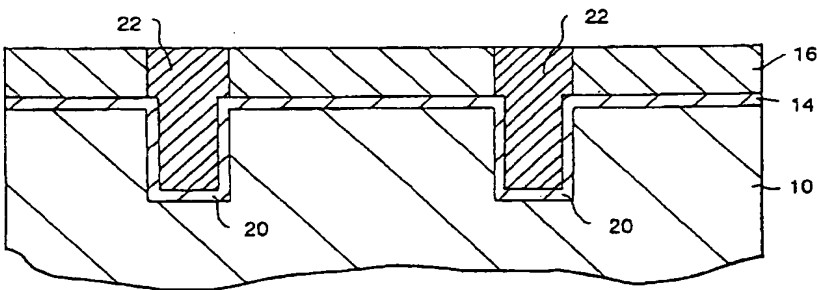
도면4a



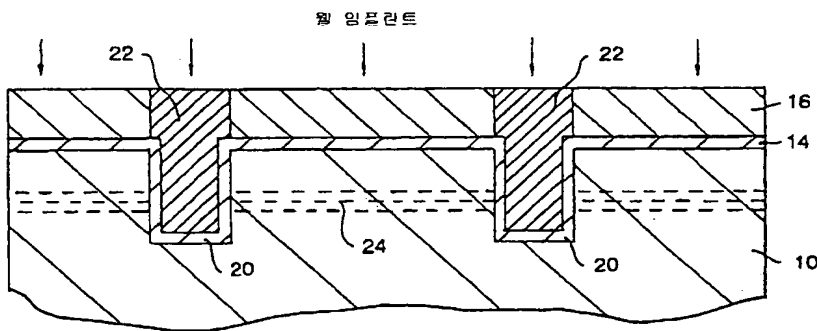
도면4b



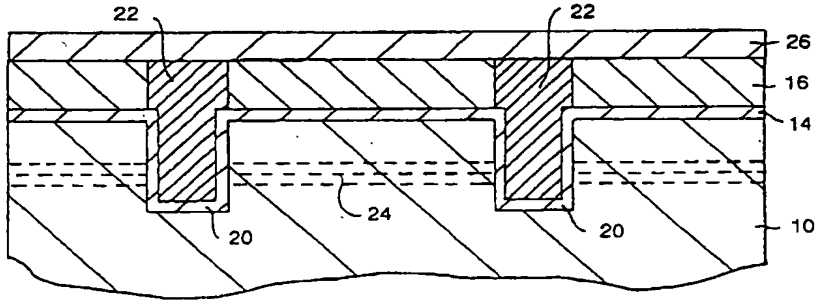
도면4c



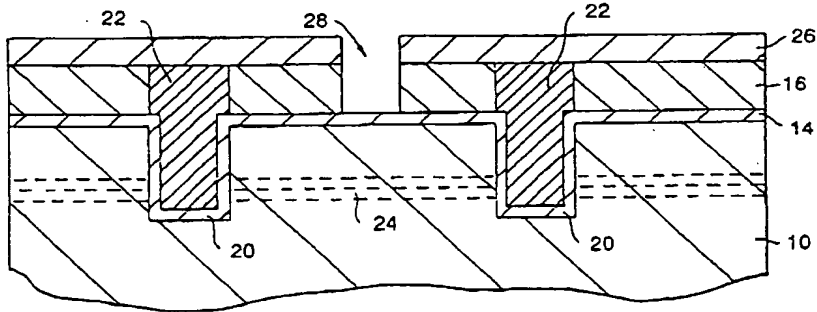
도면4d



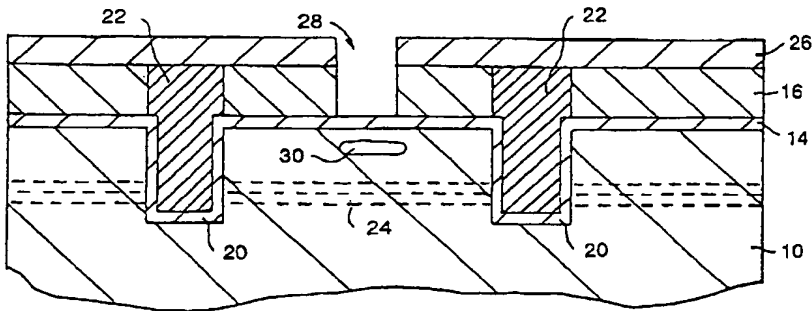
도면4e



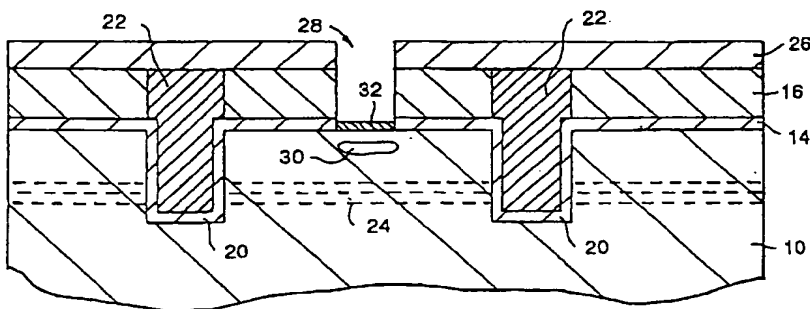
도면4f



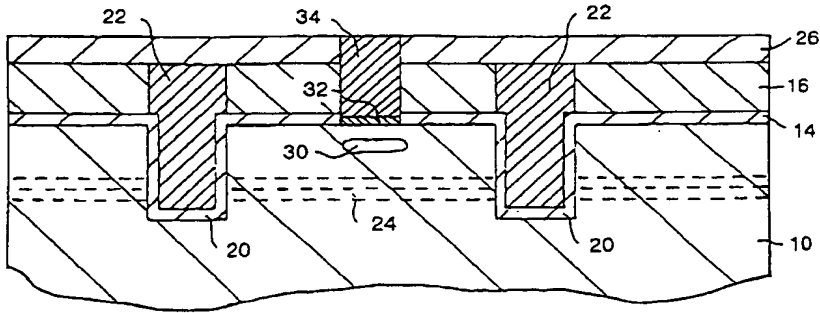
도면4g



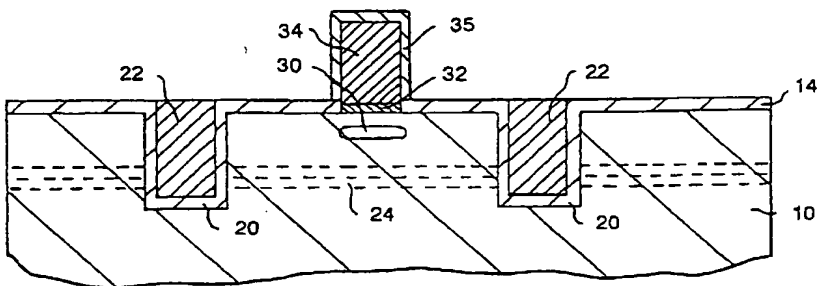
도면4h



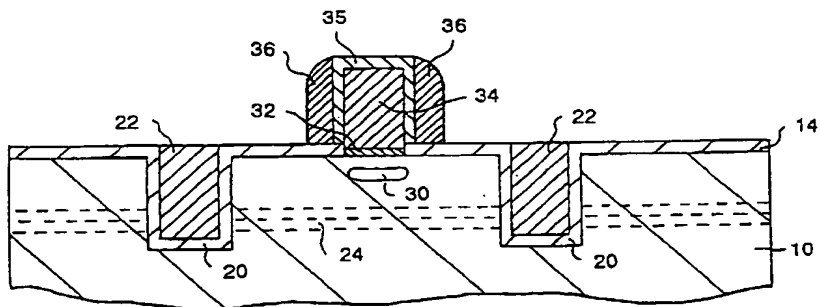
도면4i



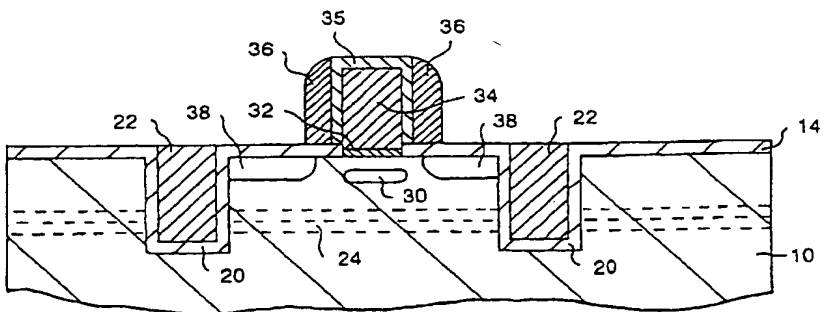
도면4j



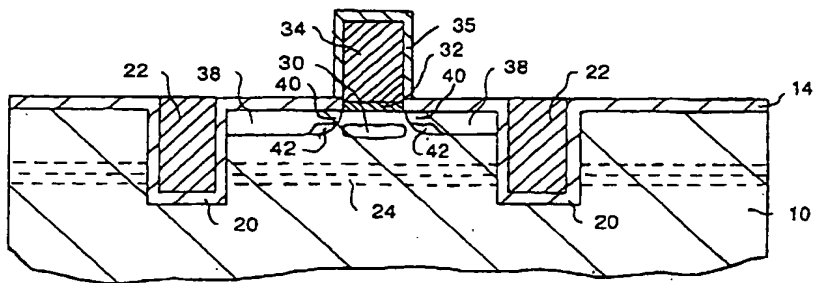
도면4k



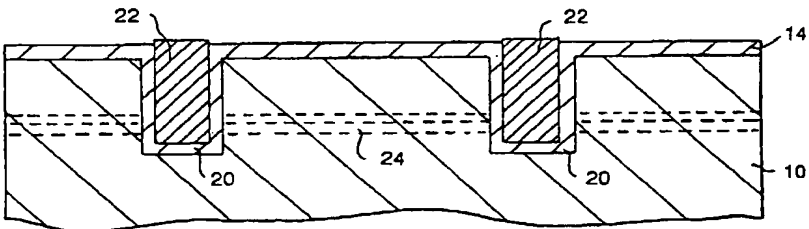
도면4l



도면4m



도면5a



도면5b

